

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-027563

(43)Date of publication of application : 29.01.1999

(51)Int.Cl.

H04N 5/208

H04N 1/41

H04N 9/64

(21)Application number : 09-175853

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 01.07.1997

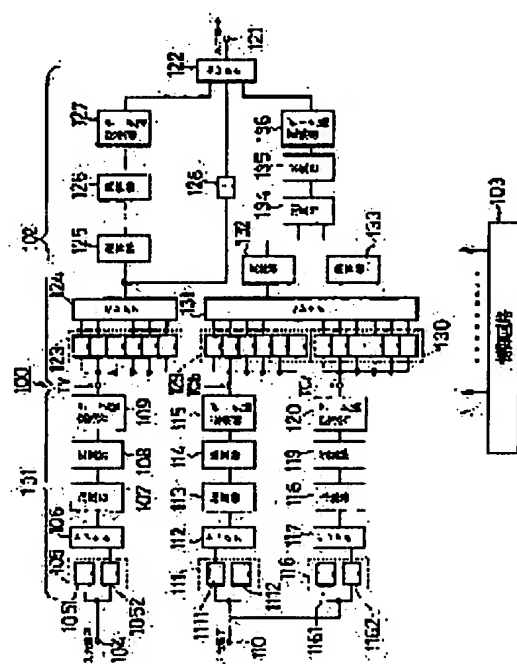
(72)Inventor : MATSUO YOSHIKATSU

(54) IMAGE FILTER CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To realize a small scale image filter circuit with low power consumption by allowing one multiplier to multiply a plurality of input data which are required for form data for one output pixel position, with a weighting factor.

SOLUTION: A circuit consists of a longitudinal filter 101, a lateral filter 102 and a control circuit 103, and MPEG-decoded Y data are given to an input terminal 104 under the control of the control circuit 103' while C data are given to an input terminal 110. A multiplier 107 multiplies a weighting factor with Y data given from a selector 106 and gives the product to an accumulator 108. The accumulator 108 is cleared before receiving N sets of Y data after a coefficient multiplication used in an interpolation processing, and accumulates the N sets of Y data after multiplication with coefficients. In the lateral filter processing, longitudinal interpolation processing data stored in a lateral processing-waiting register 123 are selected under the control of the control circuit 103 and then interpolated. The processing for Cb, Cr data is conducted similarly.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-27563

(43)公開日 平成11年(1999) 1月29日

(51)Int.Cl. ⁸	識別記号	F I
H 0 4 N	5/208	H 0 4 N 5/208
	1/41	1/41
	9/64	9/64
		C
		Z

審査請求 未請求 請求項の数 6 O L (全 21 頁)

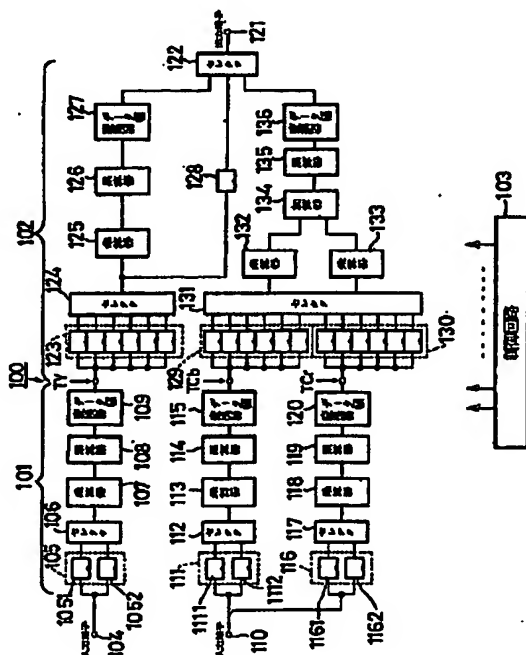
(21)出願番号	特願平9-175853	(71)出願人	000000295 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
(22)出願日	平成9年(1997) 7月1日	(72)発明者	松尾 嘉勝 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
		(74)代理人	弁理士 工藤 宜幸

(54)【発明の名称】 画像フィルタ回路

(57)【要約】

【課題】 小規模、低消費電力の画像フィルタ回路を実現する。

【解決手段】 本発明の画像フィルタ回路は、シリアルに入力されてきた出力画素位置に対して所定の位置関係にある所定個数の入力画素データのそれぞれに対して、重み付け係数を乗算してシリアルに出力する乗算手段と、この乗算手段から出力された所定個数の乗算結果データを累算して出力画素データを形成する累算手段と、現在の出力画素位置に応じた重み付け係数を入力画素データの入力に同期して上記乗算手段に与えると共に、上記累算手段に所定個数の乗算結果データが入力される前に上記累算手段をクリアさせる制御手段とを有する。



【特許請求の範囲】

【請求項 1】 出力画素位置に対して所定の位置関係にある所定個数の入力画素データを重み付け加算して上記出力画素位置の出力画素データを形成する 1 次元画像フィルタ回路において、

シリアルに入力されてきた出力画素位置に対して所定の位置関係にある所定個数の入力画素データのそれぞれに対して、重み付け係数を乗算してシリアルに出力する乗算手段と、

この乗算手段から出力された所定個数の乗算結果データを累算して出力画素データを形成する累算手段と、
現在の出力画素位置に応じた重み付け係数を入力画素データの入力に同期して上記乗算手段に与えると共に、上記累算手段に所定個数の乗算結果データが入力される前に上記累算手段をクリアさせる制御手段とを有することを特徴とする画像フィルタ回路。

【請求項 2】 出力画素位置に対して所定の位置関係にある所定個数の入力画素データを重み付け加算して上記出力画素位置の出力画素データを形成する 1 次元画像フィルタ回路において、

シリアルに入力されてきた出力画素位置に対して所定の位置関係にある所定個数の入力画素データのそれぞれに対して、重み付け係数を乗算してシリアルに出力する乗算手段と、

この乗算手段から出力された所定個数の乗算結果データを累算する累算手段と、

シリアルに入力されてきた出力画素位置に対して所定の位置関係にある所定個数の入力画素データ中の 1 個の入力画素データをラッチするデータラッチ手段と、

上記累算手段で得られた出力画素データ、又は、上記データラッチ手段にラッチされている画素データを出力画素データとして選択する選択手段と、

現在の出力画素位置が、所定個数の入力画素データ中の 1 個の入力画素データをそのまま出力画素データとすることができない位置の場合には、現在の出力画素位置に応じた重み付け係数を入力画素データの入力に同期して上記乗算手段に与えると共に、上記累算手段に所定個数の乗算結果データが入力される前に上記累算手段をクリアさせ、かつ、上記選択手段に上記累算手段からの画素データを選択させ、一方、現在の出力画素位置が、所定個数の入力画素データ中の 1 個の入力画素データをそのまま出力画素データとすることができる位置の場合には、その入力画素データを上記ラッチ手段にラッチさせると共に、上記選択手段に上記ラッチ手段からの画素データを選択させる制御手段とを有することを特徴とする画像フィルタ回路。

【請求項 3】 出力画素位置に対して所定の位置関係にある $S \times T$ 個の入力画素データを重み付け加算して上記出力画素位置の出力画素データを形成する 1 次元画像フィルタ回路において、

出力画素位置に対して所定の位置関係にある $S \times T$ 個の入力画素データを S 個ずつ T 回に分けてパラレルに出力する入力画素データ出力手段と、

パラレル出力された S 個の入力画素データの自己に対応するものに対して重み付け係数を乗算する S 個の乗算手段と、

これら S 個の乗算手段の乗算結果データを加算する加算手段と、

この加算手段からの T 個の加算データを累算して出力画素データとして出力する累算手段と、

現在の出力画素位置に応じた重み付け係数を S 個ずつ分離し、入力画素データの S 個ずつのパラレル出力に同期して上記各乗算手段に T 回に分けて与えると共に、上記累算手段に T 個の加算結果データが入力される前に上記累算手段をクリアさせる制御手段とを有することを特徴とする画像フィルタ回路。

【請求項 4】 縦方向フィルタ、横方向フィルタ、並びに、これら縦方向フィルタ及び横方向フィルタ間の画素データの授受に介在する画素データバッファであり、縦方向及び横方向の順にフィルタリング処理を行う 2 次元画像フィルタ回路であって、

上記縦方向フィルタが、

それぞれが請求項 1 に記載の 1 次元画像フィルタ回路構成でなる縦方向輝度データフィルタ部、縦方向第 1 色差データフィルタ部及び縦方向第 2 色差データフィルタ部を有し、

上記横方向フィルタが、

請求項 2 に記載の 1 次元画像フィルタ回路構成でなる横方向輝度データフィルタ部と、

請求項 3 に記載の 1 次元画像フィルタ回路構成でなる、第 1 色差データ及び第 2 色差データの処理を時分割で行う横方向色データフィルタ部と、

横方向輝度データフィルタ部及び横方向色データフィルタ部の出力画素データを同一の出力端子に出力する選択手段とを有することを特徴とする画像フィルタ回路。

【請求項 5】 上記制御手段が、重み付け加算に用いる入力画素データが所定個数そろっていない画像端部の出力画素位置においては、不足している入力画素データとして、存在している最も端部よりの入力画素データを重複して用いて出力画素データを形成させるように制御することを特徴とする請求項 1～4 のいずれかに記載の画像フィルタ回路。

【請求項 6】 上記制御手段は、外部から設定されたフィルタの動作モードに応じ、使用する重み付け係数の切替や、各部の動作タイミングの変更を行うことを特徴とする請求項 1～5 のいずれかに記載の画像フィルタ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は画像フィルタ回路に

関し、例えば、MPEG復号化回路における復号化後の処理を行なう半導体集積回路上に形成された画像フィルタ回路に適用し得るものである。

【0002】

【従来の技術】MPEG復号化回路として半導体集積回路上に形成されたものがあり、MPEG復号化回路における復号化後の処理を行なう画像フィルタ回路としても、MPEG復号化回路としての同一の半導体集積回路上に形成されたものがある。

【0003】このような画像フィルタ回路によるフィルタ処理は、復号化により得られたY（輝度）データや色（C）データから、それらのYデータやCデータが位置していないYデータやCデータをも補間によって形成したりするものである。

【0004】図2は、縦方向及び横方向がそれぞれ4タップ入力からフィルタリング処理（補間処理）を、縦方向、横方向の順に行う従来の2次元画像フィルタ回路の構成例を示すものである。また、図3は、この画像フィルタ回路に入力される復号化データの各データ成分の配置を示す説明図である。さらに、図4及び図5はそれぞれ、図2に示す従来の2次元画像フィルタ回路が、拡大フィルタ回路として適用された場合における縦方向及び横方向のそれぞれの画像補間動作（フィルタリング動作）の説明図である。

【0005】まず、従来の2次元画像フィルタ回路1の構成の説明に先立ち、そのフィルタ回路1での入力データ及び出力データについて説明する。

【0006】2次元画像フィルタ回路1に入力されるMPEG復号データは、いわゆる4:2:0に従っており、例えば、図3に示すようにYデータ成分及びCデータ成分が配置されている。すなわち、縦方向については、Yデータは全てのラインに設けられており、Cデータ（青色差データCb及び赤色差データCrでなる）は、Yデータの2ライン毎に1個ずつしかその2ラインの中間に位置するように設けられている。また、横方向については、Yデータは全てのライン毎に設けられており、Cデータは、1ライン毎に設けられている。

【0007】図2に示す2次元画像フィルタ回路1は、いわゆる4:2:0に従っている入力データをいわゆる4:2:2に従っている出力データに拡大する場合においては、縦方向について、図4に示すような補間処理を行う。

【0008】すなわち、Yデータについては、図4（a）に示すように、（1）各ラインの中間位置の出力Yデータ（補間データ）YY1を、その位置の上下2タップずつの計4個の入力Yデータに対して重み付け係数 $[-12, 140, 140, -12]$ を用いた重み付け加算をし、それを256で除算することによって形成し、（2）各ライン上の出力Yデータ（補間データ）YY2を、その位置と、その上の2タップ、その下の1タ

ップの計4個の入力Yデータに対して重み付け係数 $[0, 0, 256, 0]$ を用いた重み付け加算をし、それを256で除算することによって形成する。

【0009】また、Cデータ（Cbデータ及びCrデータのそれぞれ）については、図4（b）に示すような補間処理を行う。（1）最も近い入力Cデータの位置が下方側である各ライン上の出力Cデータ（補間データ）CY1を、その位置の上下2タップずつの計4個の入力Cデータに対して重み付け係数 $[-7, 65, 211, -13]$ を用いた重み付け加算をし、それを256で除算することによって形成し、（2）入力Cデータが存在する各ラインの中間位置の出力Cデータ（補間データ）CY2を、その位置と、その上の2タップ、その下の1タップの計4個の入力Cデータに対して重み付け係数

$[0, 0, 256, 0]$ を用いた重み付け加算をし、それを256で除算することによって形成し、（3）最も近い入力Cデータの位置が上方側である各ライン上の出力Cデータ（補間データ）CY3を、その位置の上下2タップずつの計4個の入力Cデータに対して重み付け係数 $[-13, 211, 65, -7]$ を用いた重み付け加算をし、それを256で除算することによって形成し、

（4）入力Cデータが存在しない各ラインの中間位置の出力Cデータ（補間データ）CY4を、その位置の上下2タップずつの計4個の入力Cデータに対して重み付け係数 $[-12, 140, 140, -12]$ を用いた重み付け加算をし、それを256で除算することによって形成する。

【0010】なお、Cデータを含まない縦方向ラインについては、上述したYデータについての補間処理だけが実行される。

【0011】図2に示す2次元画像フィルタ回路1は、いわゆる4:2:0に従っている入力データをいわゆる4:2:2に従っている出力データに拡大する場合においては、横方向について、図5に示すような補間処理を行う。

【0012】すなわち、Yデータについては、図5

（a）に示すように、（1）各画素の中間位置の出力Yデータ（補間データ）YX1を、その位置の左右2タップずつの計4個の入力Yデータに対して重み付け係数 $[-12, 140, 140, -12]$ を用いた重み付け加算をし、それを256で除算することによって形成し、（2）各画素上の出力Yデータ（補間データ）YX2を、その位置と、その左の2タップ、その右の1タップの計4個の入力Yデータに対して重み付け係数 $[0, 0, 256, 0]$ を用いた重み付け加算をし、それを256で除算することによって形成する。

【0013】また、Cデータ（Cbデータ及びCrデータのそれぞれ）については、図5（b）に示すように、（1）入力Cデータが存在しない各画素上の位置の出力Cデータ（補間データ）CX1を、その位置の左右2タ

ップずつの計 4 個の入力 C データに対して重み付け係数 $[-12, 140, 140, -12]$ を用いた重み付け加算をし、それを 256 で除算することによって形成し、(2) 入力 C データが存在する各画素上の位置の出力 C データ (補間データ) $CX2$ を、その位置と、その左の 2 タップ、その右の 1 タップの計 4 個の入力 C データに対して重み付け係数 $[0, 0, 256, 0]$ を用いた重み付け加算をし、それを 256 で除算することによって形成する。

【0014】以上のような補間処理 (拡大フィルタリング処理) を実行する従来の 2 次元画像フィルタ回路 1 は、図 2 に示すように、大きくは、縦方向フィルタ 2 及び横方向フィルタ 3 から構成されている。

【0015】Y データ入力端子 4 から入力された Y データは、縦方向フィルタ 2 における 4 個の Y データ用レジスタ 11Y ~ 14Y のいずれかにバッファリングされる。例えば、補間処理に供する縦方向の位置が異なる 4 個の Y データがシリアルに輸入されると、これら 4 個のデータが 4 個の Y データ用レジスタ 11Y ~ 14Y に振り分けられて格納される。

【0016】同様に、C データ入力端子 5 から入力された C データは、その構成要素である Cb データ及び Cr データに分離されて、縦方向フィルタ 2 における 4 個の Cb データ用レジスタ 11Cb ~ 14Cb のいずれか、また、4 個の Cr データ用レジスタ 11Cr ~ 14Cr のいずれかにバッファリングされる。例えば、4 個の Cb データ用レジスタ 11Cb ~ 14Cb、及び、4 個の Cr データ用レジスタ 11Cr ~ 14Cr はそれぞれ、補間処理に供する縦方向の位置が異なる 4 個の Cb データ、Cr データを格納する。

【0017】4 個のセレクト 15 ~ 18 には、図示しないタイミング制御部から、当該縦方向フィルタ 2 から現時刻で出力する、Y データか Cb データか Cr データかの特定情報を含む画素位置情報が与えられる。4 個のセレクト 15 ~ 18 は、その画素位置情報に基づいて、補間処理に供する 4 個の入力データ (Y データ、Cb データ又は Cr データ) を、同一成分に係る 4 個のレジスタ 11Y ~ 14Y、11Cb ~ 14Cb、又は、11Cr ~ 14Cr から取り出して対応する乗算器 19 ~ 22 に与える。

【0018】4 個の乗算器 19 ~ 22 には、図示しないタイミング制御部から、出力画素位置や成分に応じて定まる補間処理のための重み付け係数 (図 4 又は図 5 参照) が与えられる。各乗算器 19 ~ 22 は、その重み付け係数を、対応するセレクト 15、…、18 からのデータに乘算し、その乗算結果データを加算器 23 に与える。

【0019】加算器 23 が、これら 4 個の乗算器 19 ~ 22 の乗算結果データを加算することにより、図 4 及び図 5 について説明した重み付け後のデータが得られ、こ

の重み付け後のデータをデータ幅変換器 24 が下位 8 ビットを除くことにより (これは 256 の除算に相当する)、縦方向に補間された出力データ (Y データ、Cb データ又は Cr データ) が得られる。

【0020】横方向フィルタ 3 は、縦方向フィルタ 2 と同様に、成分データ毎のレジスタ 31Y ~ 34Y、31Cb ~ 34Cb 及び 31Cr ~ 34Cr と、4 個のセレクト 35 ~ 38 と、4 個の乗算器 39 ~ 42 と、加算器 43 と、データ幅変換器 44 とを有し、補間方向は異なるが、縦方向フィルタ 2 と同様に動作して、縦方向の補間処理が終了したデータに対して、横方向に補間した出力データ (Y データ、Cb データ又は Cr データ) を形成して出力端子 6 から出力する。

【0021】

【発明が解決しようとする課題】以上のように、従来の 2 次元画像フィルタ回路 1 においては、縦方向及び横方向のそれぞれについて、4 個 (4 タップ) の入力データから出力データを補間により得る構成であるため、乗算器を Y データ及び C データで共用させてその数を抑えようとしているが、それでも 8 個の乗算器が必要となっている。

【0022】乗算器は、半導体集積回路上に実現した場合、他の演算器などより占有面積が大きなものであり、従来の 2 次元画像フィルタ回路 1 は、乗算器の数が 8 個と多いため、大規模なものとなっていた。また、それに伴って、消費電力も大きくなっていた。

【0023】そのため、従来以上に乗算器の数を抑えることができる画像フィルタ回路が望まれている。

【0024】

【課題を解決するための手段】かかる課題を解決するため、第 1 の本発明は、出力画素位置に対して所定の位置関係にある所定個数の入力画素データを重み付け加算して上記出力画素位置の出力画素データを形成する 1 次元画像フィルタ回路において、(1) シリアルに輸入されてきた出力画素位置に対して所定の位置関係にある所定個数の入力画素データのそれぞれに対して、重み付け係数を乗算してシリアルに出力する乗算手段と、(2) この乗算手段から出力された所定個数の乗算結果データを累算して出力画素データを形成する累算手段と、(3) 現在の出力画素位置に応じた重み付け係数を入力画素データの入力に同期して上記乗算手段に与えると共に、上記累算手段に所定個数の乗算結果データが入力される前に上記累算手段をクリアさせる制御手段とを有することを特徴とする。

【0025】また、第 2 の本発明は、出力画素位置に対して所定の位置関係にある所定個数の入力画素データを重み付け加算して上記出力画素位置の出力画素データを形成する 1 次元画像フィルタ回路において、(1) シリアルに輸入されてきた出力画素位置に対して所定の位置関係にある所定個数の入力画素データのそれぞれに対し

て、重み付け係数を乗算してシリアルに出力する乗算手段と、(2) この乗算手段から出力された所定個数の乗算結果データを累算する累算手段と、(3) シリアルに入力されてきた出力画素位置に対して所定の位置関係にある所定個数の入力画素データ中の1個の入力画素データをラッチするデータラッチ手段と、(4) 上記累算手段で得られた出力画素データ、又は、上記データラッチ手段にラッチされている画素データを出力画素データとして選択する選択手段と、(5) 現在の出力画素位置が、所定個数の入力画素データ中の1個の入力画素データをそのまま出力画素データとすることができない位置の場合には、現在の出力画素位置に応じた重み付け係数を入力画素データの入力に同期して上記乗算手段に与えると共に、上記累算手段に所定個数の乗算結果データが入力される前に上記累算手段をクリアさせ、かつ、上記選択手段に上記累算手段からの画素データを選択させ、一方、現在の出力画素位置が、所定個数の入力画素データ中の1個の入力画素データをそのまま出力画素データとすることができる位置の場合には、その入力画素データを上記ラッチ手段にラッチさせると共に、上記選択手段に上記ラッチ手段からの画素データを選択させる制御手段とを有することを特徴とする。

【0026】さらに、第3の本発明は、出力画素位置に対して所定の位置関係にある $S \times T$ 個の入力画素データを重み付け加算して上記出力画素位置の出力画素データを形成する1次元画像フィルタ回路において、(1) 出力画素位置に対して所定の位置関係にある $S \times T$ 個の入力画素データを S 個ずつ T 回に分けて平行に出力する入力画素データ出力手段と(2) 平行出力された S 個の入力画素データの自己に対応するものに対して重み付け係数を乗算する S 個の乗算手段と、(3) これら S 個の乗算手段の乗算結果データを加算する加算手段と、(4) この加算手段からの T 個の加算データを累算して出力画素データとして出力する累算手段と、(5) 現在の出力画素位置に応じた重み付け係数を S 個ずつ分離し、入力画素データの S 個ずつの平行出力に同期して上記各乗算手段に T 回に分けて与えると共に、上記累算手段に T 個の加算結果データが入力される前に上記累算手段をクリアさせる制御手段とを有することを特徴とする。

【0027】さらにまた、第4の本発明は、縦方向フィルタ、横方向フィルタ、並びに、これら縦方向フィルタ及び横方向フィルタ間の画素データの授受に介在する画素データバッファであり、縦方向及び横方向の順にフィルタリング処理を行う2次元画像フィルタ回路であって、(1) 上記縦方向フィルタが、それぞれが第1の本発明の1次元画像フィルタ回路構成でなる縦方向輝度データフィルタ部、縦方向第1色差データフィルタ部及び縦方向第2色差データフィルタ部を有し、(2) 上記横方向フィルタが、(2-1) 第2の本発明の1次元画像

フィルタ回路構成でなる横方向輝度データフィルタ部と、(2-2) 第3の本発明の1次元画像フィルタ回路構成でなる、第1色差データ及び第2色差データの処理を時分割で行う横方向色データフィルタ部と、(2-3) 横方向輝度データフィルタ部及び横方向色データフィルタ部の出力画素データを同一の出力端子に出力する選択手段とを有することを特徴とする。

【0028】

【発明の実施の形態】

(A) 実施形態の構成

以下、本発明を2次元画像フィルタ回路に適用した一実施形態を図面を参照しながら詳述する。ここで、図1が、この実施形態の全体構成を示すブロック図である。

【0029】図1において、この実施形態の2次元画像フィルタ回路100は、大きくは、縦方向フィルタ101、横方向フィルタ102及び制御回路103から構成されている。

【0030】この実施形態の縦方向フィルタ101は、従来のフィルタ回路と異なって、Yデータ用のフィルタ部分と、Cデータ用のフィルタ部分とが明確に分かれている(なお、従来のフィルタ回路は同一の回路要素を時分割でYデータとCデータとで共用していた)。

【0031】縦方向フィルタ101におけるYデータ用のフィルタ部分は、Yデータ入力端子104、Yデータレジスタ105、セレクト106、乗算器107、累算器108及びデータ幅変換器109から構成されている。

【0032】Yデータ入力端子104には、制御回路103の制御下で例えばMPEG復号データが格納されている図示しない復号データ画像メモリから読み出されたYデータが入力される。Yデータは、例えば、8ビット(0~255)で表現されているものである。

【0033】Yデータレジスタ105は、例えば2段のレジスタ1051及び1052であり、Yデータ入力端子104を介して入力されたYデータを、制御回路103の制御下でいずれかのレジスタ段1051又は1052に格納保持するものである(なお、後述するように、入力されてきたYデータを格納することなく廃棄することもあり得る)。

【0034】セレクト106は、Yデータレジスタ105の2段のレジスタ1051及び1052に保持されているYデータを、制御回路103の制御下で選択して乗算器106に与えるものである。

【0035】なお、制御回路103は、1個の出力Yデータを形成させるための補間処理に供する N (例えば4や2)個の入力Yデータが、セレクト106から連続して出力されるように、図示しない復号データ画像メモリやYデータレジスタ105やセレクト106を制御する。

【0036】乗算器107は、セレクト106から与え

られたYデータに、制御回路103から与えられた重み付け係数(例えば、上述した図4(a)や後述する図8(a)参照)を乗算して累算器108に与えるものである。

【0037】累算器108は、制御回路103の制御下で、補間処理に供するN個の係数乗算後のYデータが与えられる前にクリアされ、その後、到来するN個の係数乗算後のYデータを累算するものである。

【0038】データ幅変換器109は、N個の係数乗算後のYデータを累算したYデータが累算器108で得られたときに、制御回路103の制御により、その累算データを取り込み、そのデータを所定のデータ幅のデータに変換して(例えば、下位8ビットを除外する)、縦方向の補間が終了したYデータとして出力するものである。

【0039】縦方向フィルタ101におけるCデータ用のフィルタ部分は、さらに、Cbデータ用のフィルタ部分と、Crデータ用のフィルタ部分とに分けられ、これらCbデータ用及びCrデータ用のフィルタ部分は、Cデータ入力端子110に接続されている。

【0040】Cbデータ用のフィルタ部分は、Yデータ用のフィルタ部分と同様に、Cbデータレジスタ111、セクタ112、乗算器113、累算器114及びデータ幅変換器115から構成されており、各構成要素は、Yデータ用のフィルタ部分の各構成要素と同様に機能するので、それぞれの機能説明は省略する。また、Crデータ用のフィルタ部分も、Yデータ用のフィルタ部分と同様に、Crデータレジスタ116、セクタ117、乗算器118、累算器119及びデータ幅変換器120から構成されており、各構成要素は、Yデータ用のフィルタ部分の各構成要素と同様に機能するので、それぞれの機能説明は省略する。

【0041】なお、Cデータ入力端子110から入力されたCデータ(例えば16ビット)は、その上位ビット側がCbデータに、また、その下位ビット側がCrデータになっており、入力されたCデータは上位、下位に2分されて、Cbデータレジスタ111、Crデータレジスタ116に与えられるようになされている。

【0042】また、この実施形態の横方向フィルタ102も、従来のフィルタ回路(図2)と異なって、Yデータ用のフィルタ部分と、Cデータ用のフィルタ部分とが明確に分かれている(なお、従来のフィルタ回路は同一の回路要素を時分割でYデータとCデータとで共用していた)。

【0043】なお、この実施形態は、フィルタリングが終了した後のYデータ及びCデータを別個の出力端子から出力するものではなく、同一の出力端子121から出力するものであり、同一の出力端子121からYデータ及びCデータを出力させるために、横方向フィルタ102内のYデータ用のフィルタ部分からのYデータと、横

方向フィルタ102内のCデータ用のフィルタ部分からのCデータとを選択して同一の出力端子121に与えるセクタ122を備えている。

【0044】ここで、この実施形態の場合、後述する拡大フィルタモード及びバンスキャンフィルタモードのいずれのときにも、図5(B)に波線で囲んだような2個の出力Yデータと、Cデータを構成する1個ずつの出力Cbデータ及び出力Crデータとを、Cb、Y、Cr、Yの順で出力端子121から出力するようになされている。

【0045】横方向フィルタ102におけるYデータ用のフィルタ部分は、横方向フィルタ処理待ちYデータレジスタ123、出力Yデータセクタ124、乗算器125、累算器126及びデータ幅変換器128から構成されている。

【0046】横方向フィルタ処理待ちYデータレジスタ123は、横方向の補間処理に供する最も多いデータ数(後述する拡大フィルタモードの場合4)よりも多い段数(例えば6段)のレジスタ部であり、縦方向フィルタ101のYデータ用のフィルタ部(従ってデータ幅変換部109)から出力されたYデータを、制御回路103の制御下でいずれかの段のレジスタ部に格納保持するものである。この横方向フィルタ処理待ちYデータレジスタ123の段数は、出力データの系列がCb、Y、Cr、Yの繰り返しであって、Yデータの出力タイミングが間欠的であり、横方向のYデータのフィルタリングに待ち時間が生じることをも考慮して定められている。

【0047】セクタ124は、横方向フィルタ処理待ちYデータレジスタ123に保持されているYデータを、制御回路103の制御下で選択して乗算器125及び出力Yデータレジスタ128に与えるものである。

【0048】なお、制御回路103は、横方向の補間処理を行った後の出力Yデータが縦方向の補間処理後のYデータと同じになる出力画素位置(例えば、図4(a)のYY2)については、横方向フィルタ処理待ちYデータレジスタ123のいずれかの段からのその縦方向の補間処理後のYデータを選択させるように、Yデータレジスタ123及びセクタ124を制御し、また、横方向の補間処理を行った後の出力Yデータが縦方向の補間処理後のYデータと異なる出力画素位置(例えば、図4(a)のYデータYY1)については、補間処理に供するN(例えば4や2)個のYデータが、セクタ124から連続して出力されるように、Yデータレジスタ123やセクタ124を制御する。

【0049】ここで、横方向の補間処理を行った後の出力Yデータとしてそのまま用いることができる縦方向の補間処理後のYデータは、他の位置の出力Yデータに対する0以外の係数乗算に供するYデータにもなっているため、そのYデータを、後述する出力Yデータレジスタ128に与えるためだけの選択動作を実行しないで、乗

算器125へそのYデータを与えているタイミングで出力Yデータレジスタ128がそのデータを取り込むようにすれば良い。

【0050】乗算器125は、セレクト124から与えられたYデータに、制御回路103から与えられた重み付け係数（例えば、上述した図5（a）や後述する図9（a）参照）を乗算して累算器126に与えるものである。

【0051】累算器126は、制御回路103の制御下で、補間処理に供するN個の係数乗算後のYデータが与えられる前にクリアされ、その後、到来するN個の係数乗算後のYデータを累算するものである。

【0052】データ幅変換器127は、N個の係数乗算後のYデータを累算したYデータが累算器126で得られたときに、制御回路103の制御により、その累算データを取り込み、そのデータを所定のデータ幅のデータに変換して（例えば、下位8ビットを除外する）、横方向の補間が終了したYデータとして出力するものである。データ幅変換器127からのYデータは、セレクト122に入力される。

【0053】出力Yデータレジスタ128は、制御回路103の制御下で、セレクト124から与えられた、縦方向の補間処理後のYデータがそのまま横方向の補間処理後のYデータとなるYデータを保持してセレクト122に与えるものである。

【0054】ここで、横方向フィルタ102におけるYデータ用のフィルタ部分も、縦方向のYデータ用のフィルタ部分と同様に、横方向の補間処理を行った後の出力Yデータが縦方向の補間処理後のYデータと同じになる出力画素位置と、横方向の補間処理を行った後の出力Yデータが縦方向の補間処理後のYデータと異なる出力画素位置とを区別することなく、乗算器、累算器及びデータ幅変換器の処理系列で処理することが考えられる。

【0055】しかし、このようにした場合には、出力データの系列がCb、Y、Cr、Yの繰り返しであって、横方向の補間処理後の1個のYデータを形成させるに許容される処理時間が短いため、縦方向フィルタ101でのクロックよりも高速なクロックを横方向フィルタ102が用いることが必要となる。

【0056】そのため、この実施形態においては、横方向の補間処理を行った後の出力Yデータが縦方向の補間処理後のYデータと同じになる出力画素位置については、乗算、累算などを行わずに、縦方向の補間処理を行った後の出力Yデータをそのまま横方向の補間処理を行った出力Yデータとして選択させることとし、横方向フィルタ102（ここではYデータ用のフィルタ部分）での処理クロックとして、縦方向フィルタ101の処理クロックと同一のものを適用できるようにしている。

【0057】横方向フィルタ102におけるCデータ用のフィルタ部分は、Cbデータ用のフィルタ部分と、C

rデータ用のフィルタ部分とに分離されていない。すなわち、Cbデータ用のフィルタ部分とCrデータ用のフィルタ部分として共通なフィルタ部分が用いられている。これは、出力データの系列がCb、Y、Cr、Yの繰り返しであるので、共通なフィルタ部分をCbデータ用とCrデータ用で時分割で用いられること、共通にすることにより別個に設けるより構成を小規模にできることに基づいている。

【0058】横方向フィルタ102におけるCデータ用のフィルタ部分は、横方向フィルタ処理待ちCbデータレジスタ129、横方向フィルタ処理待ちCrデータレジスタ130、セレクト131、2個の乗算器132及び133、加算器134、累算器135、並びに、データ幅変換器136から構成されている。

【0059】横方向フィルタ処理待ちCbデータレジスタ129は、横方向の補間処理に供する最も多いデータ数よりも多い段数（例えば6段）のレジスタ部であり、縦フィルタ101のCbデータ用のフィルタ部（従ってデータ幅変換器115）から出力されたCbデータを、制御回路103の制御下でいずれかの段のレジスタ部に格納保持するものである。この横方向フィルタ処理待ちCbデータレジスタ129の段数は、出力データの系列がCb、Y、Cr、Yの繰り返しであって、Cbデータの出力タイミングが間欠的であり、横方向のCbデータのフィルタリングに待ち時間が生じることをも考慮して定められている。

【0060】同様に、横方向フィルタ処理待ちCrデータレジスタ130も、横方向の補間処理に供する最も多いデータ数よりも多い段数（例えば6段）のレジスタ部であり、縦フィルタ101のCrデータ用のフィルタ部（従ってデータ幅変換器120）から出力されたCrデータを、制御回路103の制御下でいずれかの段のレジスタ部に格納保持するものである。この横方向フィルタ処理待ちCrデータレジスタ130の段数は、出力データの系列がCb、Y、Cr、Yの繰り返しであって、Crデータの出力タイミングが間欠的であり、横方向のCrデータのフィルタリングに待ち時間が生じることをも考慮して定められている。

【0061】セレクト131は、横方向フィルタ処理待ちCbデータレジスタ129又は横方向フィルタ処理待ちCrデータレジスタ130に保持されているCbデータ又はCrデータを、制御回路103の制御下で2個選択して乗算器132及び133に与えるものである。

【0062】なお、制御回路103は、出力端子121からCbデータを出力させるタイミングであれば、Cbデータレジスタ129に保持されているCbデータを選択させるように、しかも、補間に供するN個の縦方向の補間処理後のCbデータを2個ずつ順次出力させるようにCbデータレジスタ129及びセレクト131を制御する。また、制御回路103は、出力端子121からC

rデータを出力させるタイミングであれば、Crデータレジスタ130に保持されているCrデータを選択させるように、しかも、補間に供するN個の縦方向の補間処理後のCrデータを2個ずつ順次パラレル出力させるようにCrデータレジスタ130及びセクタ131を制御する。

【0063】各乗算器132、133はそれぞれ、セクタ131から与えられたCbデータ又はCrデータに、制御回路103から与えられた重み付け係数(例えば、上述した図5(b)や後述する図9(b)参照)を乗算して加算器134に与えるものである。

【0064】加算器134は、制御回路103の制御下で、両乗算器132及び133からの係数乗算後のCbデータ又はCrデータを加算して累算器135に与えるものである。

【0065】累算器135は、制御回路103の制御下で、横方向の出力Cbデータ又は出力Crデータを形成させるタイミングになった時点でクリアされ、その後、到来するN/2個の加算器134からのデータを累算するものである。

【0066】データ幅変換器136は、N個の係数乗算後のCbデータ又はCrデータを累算したCbデータ又はCrデータが累算器135で得られたときに、制御回路103の制御により、その累算データを取り込み、そのデータを所定のデータ幅のデータに変換して(例えば、下位8ビットを除外する)、横方向の補間が終了したCbデータ又はCrデータとして出力するものである。データ幅変換器136からのCbデータ又はCrデータは、セクタ122に入力される。

【0067】すなわち、この実施形態の場合、横方向のN個の入力Cデータ(Cbデータ又はCrデータ)の重み付け加算処理は、乗算器132及び133と、加算器134とによって、N個の入力Cデータを2個ずつに振り分けた各2個ずつの入力Cデータについての重み付け加算処理を行い、その各2個ずつの入力Cデータについての重み付け加算結果を、累算器135が累算処理して総和を求めることで行うようになされている。

【0068】ここで、横方向のCデータ(Cbデータ又はCrデータ)の重み付け加算処理も、縦方向での重み付け加算処理と同様に、N個の入力Cデータ(Cbデータ又はCrデータ)の全てを順次、1個の乗算器に与えて重み付け係数と乗算し、そのN個の乗算結果を、累算器が累算処理することにより総和を求めることで行うようにすることも考えられる。

【0069】しかし、このようにした場合には、出力データの系列がCb、Y、Cr、Yの繰り返しであって、横方向の補間処理後の1個のCbデータ又はCrデータを形成させるに許容される処理時間が短いため、縦方向フィルタ101でのクロックよりも高速なクロックを横方向フィルタ102が用いることが必要となる。

【0070】そのため、この実施形態においては、上述したように、2個のCデータ毎に係数乗算処理を並列的に行うことで、重み付け加算処理に要する時間を短くし、横方向フィルタ102(ここではCデータ用のフィルタ部分)での処理クロックとして、縦方向フィルタ101の処理クロックと同一のものを適用できるようにしている。

【0071】セクタ122は、制御回路103の制御下で、データ幅変換器127からの出力Yデータ、出力Yデータレジスタ128に保持されている出力Yデータ、データ幅変換器136からの出力Cデータ(Cbデータ又はCrデータ)を選択して出力端子121に与えるものである。制御回路103は、上述したように、出力データの系列がCb、Y、Cr、Yの繰り返しになるようにセクタ122を制御する。

【0072】制御回路103は、上述したように、当該画像フィルタ回路100の各部の動作タイミングや、乗算に供する重み付け係数の出力などを制御するものである。

【0073】この実施形態の場合、フィルタモードとして複数のフィルタモードを有し、制御回路103は、外部からのフィルタモード信号が指示しているフィルタモードに応じて、当該画像フィルタ回路100の各部の動作タイミングや、乗算に供する重み付け係数の出力などを制御する。

【0074】なお、以下の動作説明においては、当該画像フィルタ回路100が対応できるフィルタモードが拡大フィルタモード及びバンスキャンフィルタモードの2個であるとして説明を行う。

【0075】(B)実施形態の動作

(B-1)拡大フィルタモードでの動作

次に、この実施形態の画像フィルタ回路における拡大フィルタモードでの動作を説明する。

【0076】この拡大フィルタモードでの処理は、例えば、MPEG1やMPEG2-Low Levelなどの小さい復号画像に対して行なわれる処理であり、各方向の補間処理(フィルタリング処理)はそれぞれ、上述した図4及び図5に従うものとする。

【0077】以下では、この実施形態の画像フィルタ回路における拡大フィルタモードでの動作を、縦方向フィルタ101の動作、横方向フィルタ102の動作の順に説明する。

【0078】なお、制御回路103は、ある縦方向位置のライン上の各画素位置についての縦方向のフィルタリングを縦方向フィルタ101に実行させて横方向フィルタ102に引き渡させ、その横方向ライン上での横方向のフィルタリング処理を実行させ、その後、次の縦方向位置のライン上の縦方向のフィルタリングを縦方向フィルタ101に実行させて横方向フィルタ102に引き渡させ、その横方向ライン上での横方向のフィルタリング

処理を実行させ、以下、同様な順序でフィルタリング処理を実行させるように各部を制御する。すなわち、出力データの系列がラスタスキャン状になるように各部を制御する。

【0079】今、縦方向フィルタ101及び横方向フィルタ102の接続点TYに、図4(a)に符号YY1で示す画素位置の出力Yデータ（縦方向の補間処理後のYデータ）を出力させるタイミングになると、制御回路103は、図示しない復号データ画像メモリ、Yデータレジスタ105及びセクタ106を制御して、出力Yデータの画素位置YY1に対して、図4(a)に示す位置関係にある補間演算に供する4個の入力Yデータを、セクタ106からシリアルに出力させる。

【0080】また、制御回路103は、セクタ106から4個の入力Yデータが順次出力されるタイミングに合わせて、4個の重み付け係数 $[-12, 140, 140, -12]$ を順次乗算器107に出力する。これにより、乗算器107からは、4個の入力Yデータのそれぞれに対して、対応する重み付け係数 $-12, 140, 140, -12$ が乗算された4個の乗算結果データがシリアルに出力される。累算器108は、4個の乗算結果データが入力され始める前に、制御回路103によってクリアされており、4個の乗算結果データは、累算器108によって累算されて総和が求められ、その総和のデータ幅がデータ幅変換器109によって変換され（例えば下位8ビットを切り捨てる；256で割っていることに相当）、その出力データが、縦方向の補間処理が終了した出力Yデータとなり、横方向フィルタ処理待ちYデータレジスタ123に格納される。

【0081】また、縦方向フィルタ101及び横方向フィルタ102の接続点TYに、図4(a)に符号YY2で示す画素位置の出力Yデータ（縦方向の補間処理後のYデータ）を出力させるタイミングになると、制御回路103は、図示しない復号データ画像メモリ、Yデータレジスタ105及びセクタ106を制御して、出力Yデータの画素位置YY2に対して、図4(a)に示す位置関係にある補間演算に供する4個の入力Yデータを、セクタ106からシリアルに出力させる。

【0082】また、制御回路103は、セクタ106から4個の入力Yデータが順次出力されるタイミングに合わせて、4個の重み付け係数 $[0, 0, 256, 0]$ を順次乗算器107に出力する。これにより、乗算器107からは、4個の入力Yデータのそれぞれに対して、対応する重み付け係数 $0, 0, 256, 0$ が乗算された4個の乗算結果データがシリアルに出力される。累算器108は、4個の乗算結果データが入力され始める前に、制御回路103によってクリアされており、4個の乗算結果データは、累算器108によって累算されて総和が求められ、その総和のデータ幅がデータ幅変換器109によって変換され、その出力データが、縦方向の補

間処理が終了した出力Yデータとなり、横方向フィルタ処理待ちYデータレジスタ123に格納される。

【0083】次に、縦方向フィルタ101におけるCデータの補間動作を説明する。以下では、図4(b)の符号CY1の画素位置を例に動作を説明するが、時間軸上では、CY3、CY4、CY1、CY2の順に処理が行われている。

【0084】縦方向フィルタ101及び横方向フィルタ102の接続点TCb、TCrに、図4(b)に符号CY1で示す画素位置の出力Cbデータ（縦方向の補間処理後のCbデータ）及び出力Crデータ（縦方向の補間処理後のCrデータ）を出力させるタイミングになると、制御回路103は、図示しない復号データ画像メモリ、Cbデータレジスタ111、セクタ112、Crデータレジスタ116及びセクタ117を制御して、出力Cbデータ及び出力Crデータの画素位置（CY1）に対して、図4(b)に示す位置関係にある補間演算に供する4個の入力Cbデータをセクタ112からシリアルに出力させると共に、4個の入力Crデータをセクタ117からシリアルに出力させる。

【0085】なお、上述したように、入力Cデータは、Cbデータ（上位側）及びCrデータ（下位側）に分離されてそれぞれの処理系に入力される。

【0086】また、制御回路103は、セクタ112から4個の入力Cbデータが順次出力されると共に、セクタ117から4個の入力Crデータが順次出力されるタイミングに合わせて、4個の重み付け係数 $[-7, 65, 211, -13]$ を順次乗算器113及び118に出力する。

【0087】これにより、乗算器113からは、4個の入力Cbデータのそれぞれに対して、対応する重み付け係数 $-7, 65, 211, -13$ が乗算された4個の乗算結果データがシリアルに出力され、この4個の乗算結果データが出力され始める前に、制御回路103によってクリアされている累算器114によって、4個の乗算結果データが累算されて総和が求められ、求められた総和のデータ幅がデータ幅変換器115によって変換され、その出力データが、縦方向の補間処理が終了した出力Cbデータとなり、横方向フィルタ処理待ちCbデータレジスタ129に格納される。

【0088】また、このとき、並行して、乗算器118からは、4個の入力Crデータのそれぞれに対して、対応する重み付け係数 $-7, 65, 211, -13$ が乗算された4個の乗算結果データがシリアルに出力され、この4個の乗算結果データが出力され始める前に、制御回路103によってクリアされている累算器119によって、4個の乗算結果データが累算されて総和が求められ、求められた総和のデータ幅がデータ幅変換器120によって変換され、その出力データが、縦方向の補間処理が終了した出力Crデータとなり、横方向フィルタ処

理待ちC_rデータレジスタ130に格納される。

【0089】縦方向フィルタ101及び横方向フィルタ102の接続点T_{Cb}、T_{Cr}に、図4(b)に符号C_{Y2}～C_{Y4}で示す画素位置の出力C_bデータ(縦方向の補間処理後のC_bデータ)及び出力C_rデータ(縦方向の補間処理後のC_rデータ)を出力させるタイミングにおいても、使用する重み付け係数は異なるが、上記の場合と同様に動作するので、その説明は省略する。

【0090】ここで、制御回路103は、縦方向フィルタ101及び横方向フィルタ102間の3個の接続点T_Y、T_{Cb}、T_{Cr}には、同一画素位置の縦方向の補間処理後のYデータ、C_bデータ、C_rデータが生じるように図示しない復号データ画像メモリや縦方向フィルタ101を制御する。

【0091】以上では、縦方向の補間に供する4個の入力データ(Yデータ又はCデータ)が全て存在する画素位置での補間動作を説明したが、以下では、縦方向の補間に供する4個の入力データの一部データが存在していない画像上の端部近傍の画素位置での補間動作を説明する。

【0092】縦方向については、画像上の上端部分及び下端部分において、縦方向の補間に供する4個の入力データが全て存在していないことが生じる。

【0093】この実施形態の場合、画像上の上端部分において、補間処理に供する不足して入力データとして、存在している最上端の入力データを重複して利用することとしている。例えば、補間処理に供する入力データとして、第1及び第2の横方向ラインの2個の入力データのみが存在する補間位置については、第1、第1、第1及び第2の横方向ラインの入力データの4個の入力データを用いた補間処理を行い、補間処理に供する入力データとして、第1～第3の横方向ラインの3個の入力データのみが存在する補間位置については、第1、第1、第2及び第3の横方向ラインの入力データの4個の入力データを用いた補間処理を行う。

【0094】図6は、セクタ106、112、113からこのような重複入力データを含む4個の入力データ(入力Yデータ、入力C_bデータ、入力C_rデータ)を出力させるための各部タイミングチャート例である。

【0095】図6において、クロックは、当該画像フィルタ回路100における動作クロックであり、Yリードインネーブル及びCリードインネーブルはそれぞれ、図示しない復号データ画像メモリに対する読出しインネーブル信号である。出力系列はC_b、Y、C_r、Y…であり、C_bデータ及びC_rデータは同時に入力されるため、入力レートはYデータの半分で良く、そのため、CリードインネーブルはHレベルとLレベルとを交互にとるようになされている。

【0096】入力Yデータは、図示しない復号データ画像メモリから読み出されたものであり、数字「x y」

は、Yデータが存在するラインの順番で第x+1のラインと第y+1の画素の入力Yデータであることを表している。図6に示している先頭側の入力Yデータは、出力側における第1の横方向ラインの補間Yデータ(出力Yデータ)を形成するためのものである。

【0097】この場合において、第x+1の横方向ラインと第y+1の縦方向ラインとの交点の画素位置の補間Yデータ(出力Yデータ)を形成するために、「00」、「10」、「20」、「30」が出力されているが、Yデータレジスタ段1051に対するライトインネーブルが「00」のタイミングで発生され、また、Yデータレジスタ段1052に対するライトインネーブルが「10」のタイミングで発生され、「20」、「30」の出力タイミングでは、Yデータレジスタ段1051及び1052に対するライトインネーブルが共に発生されていないので、入力Yデータ「20」及び「30」は格納されことなく廃棄される。

【0098】セクタ106に対するセレクト信号は、4個の入力Yデータを出力する前半の3/4の期間でYデータレジスタ段1051を指示し、後半の1/4の期間で他方のYデータレジスタ段1052を指示しているので、セクタ106から出力されて乗算器107に与えられる入力Yデータは、「00」、「00」、「00」、「10」となる。すなわち、補間処理に供する入力データとして、第1及び第2の横方向ラインの2個の入力データのみが存在する補間位置については、第1、第1、第1及び第2の横方向ラインの入力データの4個の入力データが乗算器107に出力される。

【0099】乗算器106以降の処理は、縦方向の補間に供する4個の入力Yデータが全て存在する画素位置での上述した補間動作と同様である。

【0100】また、入力Cデータは、図示しない復号データ画像メモリから読み出されたものであり、数字「a b」は、Cデータが存在するラインの順番で第a+1の横方向ラインと第b+1の縦方向ラインとの交点の画素位置の入力Yデータであることを表している。図6に示している先頭側の入力Cデータは、出力側における第1の横方向ラインの補間Cデータ(出力Cデータ)を形成するためのものである。

【0101】この場合において、第a+1の横方向ラインと第b+1の縦方向ラインとの交点の画素位置の補間Yデータ(出力Yデータ)を形成するために、「00」、「10」、「20」、「30」が出力されているが、C_bデータレジスタ段1111及びC_rデータレジスタ段1161に対するライトインネーブルが「00」のタイミングで発生され、また、C_bデータレジスタ段1112及びC_rデータレジスタ段1162に対するライトインネーブルが「10」のタイミングで発生され、「20」、「30」の出力タイミングでは、各レジスタ段に対するライトインネーブルが共に発生されていないので、

10

20

30

40

50

入力Cデータ「20」及び「30」は格納されることなく廃棄される。

【0102】セレクト112又は117に対するセレクト信号は、4個の入力Cbデータ又は入力Crデータを出力する前半の3/4の期間でCbデータレジスタ段1111及びCrデータレジスタ段1161を指示し、後半の1/4の期間で他方のCbデータレジスタ段1112及びCrデータレジスタ段1162を指示しているもので、セレクト112、117から出力されて乗算器113、118に与えられる入力Cbデータ、Crデータは、「00」、「00」、「00」、「10」についてのもとなる。すなわち、補間処理に供する入力データとして、第1及び第2の横方向ラインの2個の入力データのみが存在する補間位置については、第1、第1、第1及び第2の横方向ラインの入力データの4個の入力データが乗算器113、118に出力される。

【0103】各乗算器113、118以降の補間処理は、縦方向の補間に供する4個の入力Cbデータ、Crデータが全て存在する画素位置での上述した補間動作と同様である。

【0104】また、この実施形態の場合、画像上での下端部分において、補間処理に供する不足した入力データとして、存在している最下端の入力データを重複して利用することとしている。例えば、補間処理に供する入力データとして、第P-1及び第Pの横方向ライン（第Pの横方向ラインは最下端ラインとする）の2個の入力データのみが存在する補間位置については、第P-1、第P、第P及び第Pの横方向ラインの入力データの4個の入力データを用いた補間処理を行い、補間処理に供する入力データとして、第P-2～第Pの横方向ラインの3個の入力データのみが存在する補間位置については、第P-2、第P-1、第P及び第Pの横方向ラインの入力データの4個の入力データを用いた補間処理を行う。

【0105】タイミングチャートの図示は省略するが、例えば、補間処理に供する入力Yデータとして、第P-1及び第Pの横方向ラインの2個の入力Yデータのみが存在する補間位置については、図示しない復号データ画像メモリから、第P-1及び第Pの横方向ラインの2個の入力Yデータと、2個のダミーデータをこの順に出力させ、第P-1の横方向ラインの入力Yデータをレジスタ段1051にラッチさせ、第Pの横方向ラインの入力Yデータをレジスタ段1052にラッチさせ、ダミーデータをレジスタ段1051及び1052にラッチさせることなく廃棄させ、セレクト106によって、4個の入力Yデータを出力する前半の1/4の期間でYデータレジスタ段1051から第P-1の横方向ラインの入力Yデータを出力させ、後半の3/4の期間で他方のYデータレジスタ段1052から第Pの横方向ラインの入力Yデータを出力させ、乗算器107に対して、第P-1、第P、第P及び第Pの横方向ラインの入力データの4個

の入力データを補間処理に供する入力Yデータとして与える。

【0106】この場合も、乗算器106以降の処理は、縦方向の補間に供する4個の入力Yデータが全て存在する画素位置での上述した補間動作と同様である。

【0107】詳述は避けるが、入力Cデータ（Cbデータ及びCrデータ）についての最下端処理も、上記と同様に行う。

【0108】縦方向フィルタ101の入力データ用のレジスタ105、111及び116を2段構成とすることにより、上述したような画像端部での入力データの重複選択が可能となっている。

【0109】因みに、画像端部以外での画素位置の場合には、順次入力される4個の入力データの1個を同一のレジスタ段に格納しては直ちに読み出して乗算器に与えれば良いので、この場合だけを考慮すると、縦方向フィルタ101の入力データ用のレジスタ105、111及び116は1段で十分である。

【0110】次に、横方向フィルタ102におけるフィルタリング動作（補間動作）を説明する。

【0111】横方向フィルタ処理待ちYデータレジスタ123には、縦方向の補間処理が終了した同一の横方向ラインについての連続した6個の画素位置のYデータが格納されている。また、横方向フィルタ処理待ちCbデータレジスタ129には、縦方向の補間処理が終了した同一の横方向ラインについての連続した6個の画素位置のCbデータが格納されており、横方向フィルタ処理待ちCrデータレジスタ130には、縦方向の補間処理が終了した同一の横方向ラインについての連続した6個の画素位置のCrデータが格納されている。

【0112】今、出力端子121から、図5(a)に符号YX1で示す画素位置の出力Yデータ（横方向の補間処理後のYデータ）を出力させるタイミングになると、制御回路103は、Yデータレジスタ123及びセレクト124を制御して、出力YデータYX1の画素位置に対して、図5(a)に示す位置関係にある補間演算に供する4個のYデータを、セレクト124からシリアルに出力させる。

【0113】また、制御回路103は、セレクト123から4個のYデータが順次出力されるタイミングに合わせて、4個の重み付け係数[-12, 140, 140, -12]を順次乗算器125に出力する。これにより、乗算器125からは、4個の入力Yデータのそれぞれに対して、対応する重み付け係数-12, 140, 140, -12が乗算された4個の乗算結果データがシリアルに出力される。累算器127は、4個の乗算結果データが入力され始める前に、制御回路103によってクリアされており、4個の乗算結果データは、累算器126によって累算されて総和が求められ、求められた総和のデータ幅がデータ幅変換器127によって変換され（下

位8ビットを切り捨てる; 256で割っていることに相当)、その出力データが、横方向の補間処理が終了した出力Yデータとなり、セクタ122を介して出力端子121から出力される。

【0114】なお、制御回路103は、上述したように、出力YデータYX1の画素位置に対して、図5

(a)に示す位置関係にある補間演算に供する4個のYデータを、セクタ124からシリアルに出力させている際において、その3番目のデータ(横方向の補間処理後のYデータとしてそのまま用いることができる画素位置のYデータ)がセクタ124から出力されているときに、出力Yデータレジスタ128に対してライトイン

プルーを与えて、その3番目のデータを出力Yデータレジスタ128に格納させる。

【0115】出力端子121から、上述したように補間

処理したYデータ(図5(a)におけるYデータYX1)を出力させた後は、出力端子121から、Crデータを出力させるタイミングとなる。

【0116】このときは、出力端子121から、図5(b)に符号CX1で示す画素位置の出力Crデータ(横方向の補間処理後のCrデータ)を出力させるタイミングである。

【0117】このとき、制御回路103は、Crデータレジスタ130及びセクタ131を制御して、まず、出力Crデータの画素位置CX1に対して、図5(b)に示す位置関係にある補間演算に供する4個のCrデータの内の左側の2個のCrデータを、セクタ131を介して、2個の乗算器132及び133に平行に出力させると共に、これに同期して、乗算器132には重み付け係数-12を、他方の乗算器133には重み付け係数140に与える。このとき得られた2個の乗算結果データは、加算器134で加算されてクリア状態になっている累算器135に格納される。

【0118】次いで、制御回路103は、Crデータレジスタ130及びセクタ131を制御して、出力Crデータの画素位置CX1に対して、図5(b)に示す位置関係にある補間演算に供する4個のCrデータの内の右側の2個のCrデータを、セクタ131を介して、2個の乗算器132及び133に平行に出力させると共に、これに同期して、乗算器132には重み付け係数140を、他方の乗算器133には重み付け係数-12に与える。このとき得られた2個の乗算結果データは、加算器134で加算された後、その時点で累算器135に格納されているデータと累算される。

【0119】このときの累算データのデータ幅がデータ幅変換器136によって変換され、その出力データが、横方向の補間処理が終了した出力Crデータとなり、セクタ122を介して出力端子121から出力される。

【0120】次には、出力端子121からYデータを出力するタイミングになる。このときは、出力端子121

から、図5(a)に符号YX2で示す画素位置の出力Yデータを出力させるタイミングである。

【0121】このときには、制御回路103は、重み付け加算処理を実行させることなく、図5(a)に符号YX1で示す画素位置の出力Yデータを形成させる上述した処理の際に出力Yデータレジスタ128に格納されたYデータを、セクタ122を介して出力端子121から出力される。

【0122】次には、出力端子121から、Cbデータを出力させるタイミングとなる。このときは、出力端子121から、図5(b)に符号CX2で示す画素位置の出力Cbデータを出力させるタイミングである。

【0123】このとき、制御回路103は、Cbデータレジスタ129及びセクタ131を制御して、まず、出力Cbデータの画素位置CX2に対して、図5(b)に示す位置関係にある補間演算に供する4個のCbデータの内の左側の2個のCbデータを、セクタ131を介して、2個の乗算器132及び133に平行に出力させると共に、これに同期して、乗算器132には重み付け係数0を、他方の乗算器133にも重み付け係数0に与える。このとき得られた2個の乗算結果データは、加算器134で加算されてクリア状態になっている累算器135に格納される。

【0124】次いで、制御回路103は、Cbデータレジスタ129及びセクタ131を制御して、出力Cbデータの画素位置CX2に対して、図5(b)に示す位置関係にある補間演算に供する4個のCbデータの内の右側の2個のCbデータを、セクタ131を介して、2個の乗算器132及び133に平行に出力させると共に、これに同期して、乗算器132には重み付け係数256を、他方の乗算器133には重み付け係数0に与える。このとき得られた2個の乗算結果データは、加算器134で加算された後、その時点で累算器135に格納されているデータと累算される。

【0125】このときの累算データのデータ幅がデータ幅変換器136によって変換され、その出力データが、横方向の補間処理が終了した出力Cbデータとなり、セクタ122を介して出力端子121から出力される。

【0126】次には、出力端子121からYデータを出力するタイミングになる。このときは、出力端子121から、図5(a)に符号YX3で示す画素位置の出力Yデータを出力させるタイミングである。

【0127】このときの横方向についてのYデータ補間動作は、上述した図5(a)に符号YX1で示す画素位置の出力Yデータを形成、出力させる際の処理と同様であるので、その説明は省略する。

【0128】次には、出力端子121から、Crデータを出力させるタイミングとなる。このときは、出力端子121から、図5(b)に符号CX2で示す画素位置の出力Crデータを出力させるタイミングである。

10

20

30

40

50

【0129】このとき、制御回路103は、Crデータレジスタ130及びセクタ131を制御して、まず、出力Crデータの画素位置CX2に対して、図5(b)に示す位置関係にある補間演算に供する4個のCrデータの内の左側の2個のCrデータを、セクタ131を介して、2個の乗算器132及び133に平行に出力させると共に、これに同期して、乗算器132には重み付け係数0を、他方の乗算器133にも重み付け係数0に与える。このとき得られた2個の乗算結果データは、加算器134で加算されてクリア状態になっている累算器135に格納される。

【0130】次いで、制御回路103は、Crデータレジスタ130及びセクタ131を制御して、出力Crデータの画素位置CX2に対して、図5(b)に示す位置関係にある補間演算に供する4個のCrデータの内の右側の2個のCrデータを、セクタ131を介して、2個の乗算器132及び133に平行に出力させると共に、これに同期して、乗算器132には重み付け係数256を、他方の乗算器133には重み付け係数0に与える。このとき得られた2個の乗算結果データは、加算器134で加算された後、その時点で累算器135に格納されているデータと累算される。

【0131】このときの累算データのデータ幅がデータ幅変換器136によって変換され、その出力データが、横方向の補間処理が終了した出力Crデータとなり、セクタ122を介して出力端子121から出力される。

【0132】次には、出力端子121からYデータを出力するタイミングになる。このときは、出力端子121から、図5(a)に符号YX4で示す画素位置の出力Yデータを出力させるタイミングである。

【0133】このときの横方向についてのYデータ補間動作は、上述した図5(a)に符号YX2で示す画素位置の出力Yデータを形成、出力させる際の処理と同様であるので、その説明は省略する。

【0134】次には、出力端子121から、Cbデータを出力させるタイミングとなる。このときは、出力端子121から、図5(b)に符号CX3で示す画素位置の出力Cbデータを出力させるタイミングである。

【0135】このとき、制御回路103は、Cbデータレジスタ129及びセクタ131を制御して、まず、出力Cbデータの画素位置CX3に対して、図5(b)に示す位置関係にある補間演算に供する4個のCbデータの内の左側の2個のCbデータを、セクタ131を介して、2個の乗算器132及び133に平行に出力させると共に、これに同期して、乗算器132には重み付け係数-12を、他方の乗算器133に重み付け係数140に与える。このとき得られた2個の乗算結果データは、加算器134で加算されてクリア状態になっている累算器135に格納される。

【0136】次いで、制御回路103は、Cbデータレ

ジスタ129及びセクタ131を制御して、出力Cbデータの画素位置CX3に対して、図5(b)に示す位置関係にある補間演算に供する4個のCbデータの内の右側の2個のCbデータを、セクタ131を介して、2個の乗算器132及び133に平行に出力させると共に、これに同期して、乗算器132には重み付け係数140を、他方の乗算器133には重み付け係数-12に与える。このとき得られた2個の乗算結果データは、加算器134で加算された後、その時点で累算器135に格納されているデータと累算される。

【0137】このときの累算データのデータ幅がデータ幅変換器136によって変換され、その出力データが、横方向の補間処理が終了した出力Cbデータとなり、セクタ122を介して出力端子121から出力される。

【0138】以上のような出力データの系列をCb, Y, Cr, Yの繰り返しとする動作が、各ラインについて繰り返し実行される。

【0139】この横方向フィルタ102においても、画像端部に対する処理が、縦方向フィルタ101の場合とほぼ同様に実行される。すなわち、横方向の補間に供する4個の入力データの一部データが存在していない画像上の端部近傍の画素位置での横方向の補間動作は、縦方向フィルタ101の場合とほぼ同様に実行される。

【0140】横方向については、画像上の左端部分及び右端部分において、横方向の補間に供する4個の入力データが全て存在していないことが生じる。

【0141】この実施形態の場合、画像上の左端部分において、補間処理に供する不足して入力データとして、存在している最左端の入力データを重複して利用することとしている。例えば、補間処理に供する入力データとして、第1及び第2の画素の2個の入力データのみが存在する補間位置については、第1、第1、第1及び第2の画素の入力データの4個の入力データを用いた補間処理を行い、補間処理に供する入力データとして、第1～第3の画素の3個の入力データのみが存在する補間位置については、第1、第1、第2及び第3の画素の入力データの4個の入力データを用いた補間処理を行う。

【0142】これは、YデータについてはYデータレジスタ123への書込みを制御することにより、CbデータについてはCbデータレジスタ129への書込みを制御することにより、CrデータについてはCrデータレジスタ123への書込みを制御することにより、実行できる。この場合でも、セクタ124、131以降の動作は、横方向の補間に供する4個の入力データが全て存在している画素位置についての上述した動作と同様である。

【0143】なお、書込み制御に代えて、Yデータレジスタ123、Cbデータレジスタ129又はCrデータレジスタ123からの読出しを制御して（この場合、セクタ124、131の制御も変更）端部補間処理を実

現するようにしても良い。

【0144】また、この実施形態の場合、画像上の右端部分において、補間処理に供する不足して入力データとして、存在している最右端の入力データを重複して利用することとしている。例えば、補間処理に供する入力データとして、第Q-1及び第Qの縦方向ライン（第Qの縦方向ラインは最右端ラインとする）の2個の入力データのみが存在する補間位置については、第Q-1、第Q、第Q及び第Qの縦方向ラインの入力データの4個の入力データを用いた補間処理を行い、補間処理に供する入力データとして、第Q-2～第Qの縦方向ラインの3個の入力データのみが存在する補間位置については、第Q-2、第Q-1、第Q及び第Qの横方向ラインの入力データの4個の入力データを用いた補間処理を行う。

【0145】この場合も、YデータについてはYデータレジスタ123への書き込みを制御することにより、CbデータについてはCbデータレジスタ129への書き込みを制御することにより、CrデータについてはCrデータレジスタ123への書き込みを制御することにより、実行できる。この場合でも、セクタ124、131以降の動作は、横方向の補間に供する4個の入力データが全て存在している画素位置についての上述した動作と同様である。

【0146】なお、書き込み制御に代えて、Yデータレジスタ123、Cbデータレジスタ129又はCrデータレジスタ123からの読出しを制御して（この場合、セクタ124、131の制御も変更）端部補間処理を実現するようにしても良い。

【0147】（B-2）パンスキャンフィルタモードでの動作

次に、この実施形態の画像フィルタ回路におけるパンスキャンフィルタモードでの動作を説明する。

【0148】このパンスキャンフィルタモードでの処理は、アスペクト比16:9の画像データを横方向に圧縮した画像データが伝送されてきた場合に実行されるモードであり、当該画像フィルタ回路100によって、その入力画像データを横方向にある一定の割合（例えば4/3）で伸長した出力画像データを形成する処理モードである。

【0149】図7に示すような入力画像データの場合において、最初にその左側の部分F1を伸長し、次に、単位量だけ右にずれた部分F2を伸長し、さらに、単位量だけ右にずれた部分F3を伸長し、以下、同様に、伸長する部分を右側に単位量ずつずらせることにより、カメラが横にパンスキャンしたように見える連続画像が得られる。

【0150】図8は、パンスキャンフィルタモードにおける縦方向の補間方法を重み付け係数と共に示す説明図であり、図9は、パンスキャンフィルタモードにおける横方向の補間方法を重み付け係数と共に示す説明図であ

る。

【0151】パンスキャンフィルタモードにおいては、縦方向には伸長する（画素数を増大する）必要はないが、以下のような補間処理を行っている。

【0152】縦方向の補間において、Yデータについては、図8(a)に示すように、入力Yデータがそのまま出力Yデータになるので、補間に供する4個の入力Yデータに対する重み付け係数は、出力Yデータの画素位置に拘わらず、常に、[0, 0, 256, 0]である。従って、縦方向フィルタ101のYデータ用のフィルタ部の動作は、乗算器107に制御回路103が全ての出力画素位置について重み付け係数[0, 0, 256, 0]を出力する点が拡大フィルタモードの場合と異なっており、その他の動作は、拡大フィルタモードの場合と同様である。

【0153】また、縦方向の補間において、Cデータ（Cbデータ、Crデータ）については、図8(b)に示すように、入力Cデータと出力Cデータとの画素位置が1/2画素間ずつずれているので、補間に供する4個の入力Cデータに対する重み付け係数は、[-7, 65, 211, -13]又は[-13, 211, 65, -7]である。従って、縦方向フィルタ101のCデータ用のフィルタ部の動作は、乗算器113及び118に制御回路103が出力画素位置の奇数ラインか偶数ラインかに応じて重み付け係数[-7, 65, 211, -13]又は[-13, 211, 65, -7]を出力する点が拡大フィルタモードの場合と異なっており、その他の動作は、拡大フィルタモードの場合と同様である。

【0154】この実施形態の場合、横方向の補間において、Yデータについては、図9(a)に示すように、2個の入力Yデータに対する重み付け加算処理によって出力Yデータを形成することとしている。また、出力Yデータの画素位置に応じて、図9(a)に示すように、重み付け係数が変化している。

【0155】従って、制御回路103は、Yデータレジスタ123から補間に供するものとして2個のYデータを順次読み出してセクタ124から乗算器125に与えると共に、それに同期して、2個の重み付け係数を出力させる点が拡大フィルタモードと異なっており、また、累算器126を2個の乗算結果に対してのみ累算させるように制御する点が異なっており、その他の点は拡大フィルタモードでの動作と同様である。なお、重み付け係数が[0, 256]である出力画素位置に対する出力Yデータの形成を出力Yデータレジスタ128の経路で行うようにしても良い。

【0156】また、この実施形態の場合、横方向の補間において、Cデータ（Cbデータ、Crデータ）については、図9(b)に示すように、2個の入力Cデータに対する重み付け加算処理によって出力Cデータを形成することとしている。また、出力Cデータの画素位置に依

じて、図9(b)に示すように、重み付け係数が変化している。

【0157】従って、制御回路103は、例えば、Cbデータレジスタ129(又はCrデータレジスタ130)から補間に供するものとして2個のCbデータ(又はCrデータ)をパラレルに読み出してセクタ131から乗算器132、133に与えると共に、それに同期して、2個の重み付け係数を出力させる点が拡大フィルタモードと異なっており、また、累算器126を加算器134からの1個の加算結果に対してのみ累算させるように制御する点が異なっており、その他の点は拡大フィルタモードでの動作と同様である。

【0158】以上のような縦方向フィルタ101及び横方向フィルタ102の動作により、バンスキャンフィルタモードにおいては、当該画像フィルタ回路100への入力データを横方向のみに3/4倍した出力画像データを形成することができる。

【0159】(C) 実施形態の効果

以上のように、上記実施形態によれば、1個の乗算器が、1個の出力画素位置のデータを形成させるに必要な複数の入力データとの重み付け係数の乗算を担うようにしたので、補間に供する入力データの画素数が多い方の拡大フィルタモードを考慮しても、その画素数の2倍より少ない乗算器によって出力データを形成することができる。その結果、回路規模を小さくすることができ、低消費電力化をはかることができる。

【0160】また、出力成分毎に時分割で動作することを要し、各成分の補間処理時間が短い横方向フィルタは、1個の乗算器が、1個の出力画素位置のデータを形成させるに必要な複数の入力データとの重み付け係数の乗算を担うことを維持しつつ、高速クロックではなく、縦方向フィルタと同じ周波数のクロックで動作できるように構成したので、動作周波数を低く押さえることができ、この点からも、低消費電力化をはかることができる。

【0161】以上のことから、この実施形態の画像フィルタ回路は、半導体集積回路上に実現するに好適なものである。

【0162】また、補間に供する入力データの一部が存在していない画像端部に対しても、存在している入力データを重複して用いて補間処理を行うようにしているので、画像端部の出力データとして良好なものを得ることができ、この点で、フィルタリング後の画像品質を向上させることができる。

【0163】さらに、上記実施形態によれば、各部の動作タイミングや重み付け係数などを変更することにより、同一構成で複数のフィルタモードの動作を切り替えて実行させることができる。すなわち、汎用性が高い画像フィルタ回路を提供することができる。

【0164】因みに、図2に示した従来の画像フィルタ

回路でも、複数のフィルタモードに対応可能にすることができる。しかし、以下の理由により、上記実施形態の方がより柔軟に対応することができる。

【0165】図2に示した従来の画像フィルタ回路において複数のフィルタモードに対応可能にした場合には、補間に供する入力データの画素数が、縦方向フィルタ又は横方向フィルタに設けられている並列に乗算処理する乗算器の数より多いフィルタモードには対応することができない。これに対して、この実施形態の場合には、1個の乗算器が、1個の出力画素位置のデータを形成させるに必要な複数の入力データとの重み付け係数の乗算を担うようにしたので、補間に供する入力データの画素数が制約を受けず、多くのフィルタモードに対応することができる。なお、上記の説明は、拡大フィルタモード及びバンスキャンモードで行っているが、これはあくまでも例示である。

【0166】(D) 他の実施形態

なお、上記実施形態は、MPEG復号データに対してフィルタリングを行う画像フィルタ回路を示したが、他の画像データに対するフィルタリングを行う画像フィルタ回路に本発明を適用できることは勿論である。例えば、コンポジットビデオ信号に対する画像フィルタ回路に適用することもできる。

【0167】また、画像を拡大する(縦方向、横方向の画素数を増大させる)フィルタ回路だけでなく、画像を縮小する(縦方向、横方向の画素数を減少させる)フィルタ回路にも本発明を適用することができる。

【0168】また、上記実施形態は、ノンインターレース方式の画像データを処理するものを示したが、インターレース方式の画像データを処理する画像フィルタ回路に適用することができる。各フィールド毎の画像データを上記実施形態と同様に処理すれば良い。

【0169】さらに、上記実施形態においては、縦方向フィルタの入力段にデータレジスタ及びセクタを設けたものを示したが、図示しない復号データ画像メモリの読出し制御によって、上記実施形態と同様に乗算器に入力データを供給できるようにしたときには、縦方向フィルタの入力段のデータレジスタ及びセクタを省略することができる。

【0170】さらにまた、上記実施形態においては、乗算器が-1~1の範囲ではない重み付け係数を乗算し、データ幅変換器がデータ幅を変更することにより出力データに求められている範囲内の値を得るものを示したが、乗算器に浮動小数点方式のものを適用し、重み付け係数として-1~1の範囲のものをを用いた場合には、データ幅変換器を省略することができる。

【0171】また、上記実施形態の2次元画像フィルタ回路の成分毎の1次元画像フィルタ回路を、独立した1次元画像フィルタ回路として眺めても特徴を有するものである。このような本発明の1次元画像フィルタ回路を

用いて、横方向フィルタリング処理、縦方向フィルタリング処理の順序で処理を行う2次元画像フィルタ回路を構築しても良い。

【0172】さらに、上記実施形態の横方向フィルタにおけるCデータ用のフィルタ構成を、より多くの入力画素データから、出力画素データを形成する場合にも適用できる。すなわち、出力画素位置に対して所定の位置関係にあるS×T個の入力画素データを重み付け加算して出力画素位置の出力画素データを形成する場合において、乗算器をS個設けて、S×T個のデータをT回に分けてS個の乗算器に平行出力するようにすれば良い。

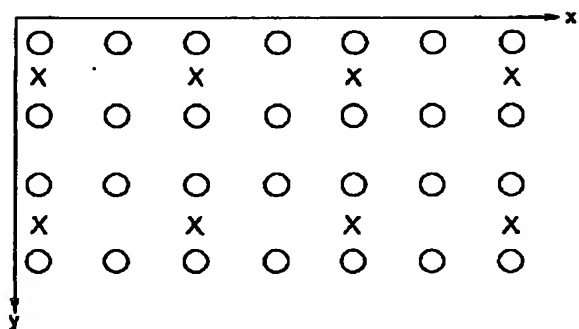
【0173】

【発明の効果】以上のように、本発明によれば、1個の乗算手段が、1個の出力画素位置のデータを形成させるに必要な複数の入力データとの重み付け係数の乗算を担うようにしたので、従来より少ない乗算器によって出力画素データを形成することができ、回路規模を小さくすることができると共に、低消費電力化をはかることができる。

【図面の簡単な説明】

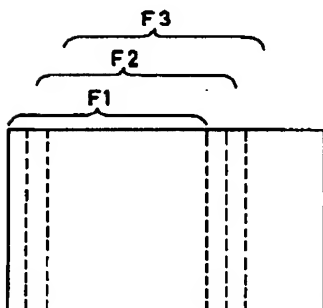
【図1】実施形態の構成を示すブロック図である。

【図3】



○: Yデータ
×: Cデータ

【図7】



* 【図2】従来の構成を示すブロック図である。

【図3】MPEG復号データの構成例を示す説明図である。

【図4】4:2:0データを4:2:2データに変換する縦方向の補間内容の説明図である。

【図5】4:2:0データを4:2:2データに変換する横方向の補間内容の説明図である。

【図6】実施形態の画像端部での補間方法の説明用タイミングチャートである。

【図7】実施形態のパンスキャンフィルタモードでのパンスキャンの実現方法の説明図である。

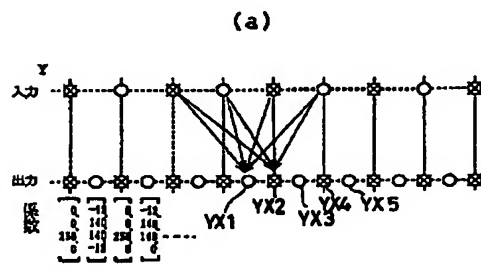
【図8】パンスキャンフィルタモードでの縦方向の補間内容の説明図である。

【図9】パンスキャンフィルタモードでの横方向の補間内容の説明図である。

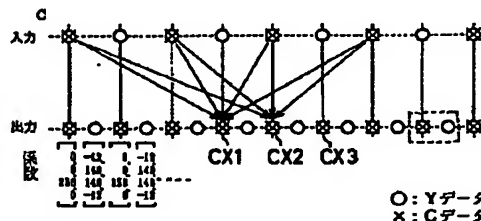
【符号の説明】

100...2次元画像フィルタ回路、101...縦方向フィルタ、102...横方向フィルタ、103...制御回路、107、113、118、125、132、133...乗算器、108、114、119、126、135...累算器、122、124、131...セクタ、128...出力Yデータレジスタ。

【図5】

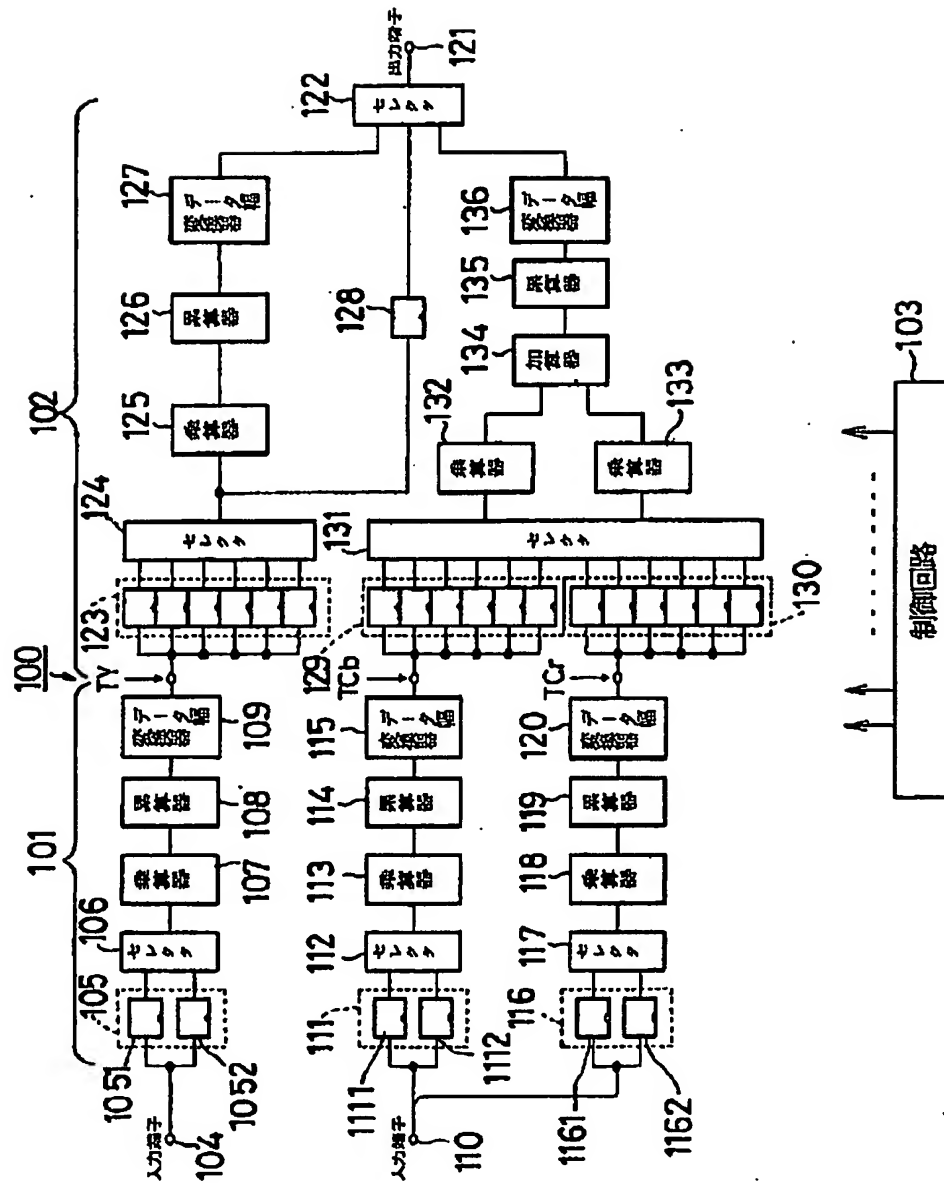


(b)

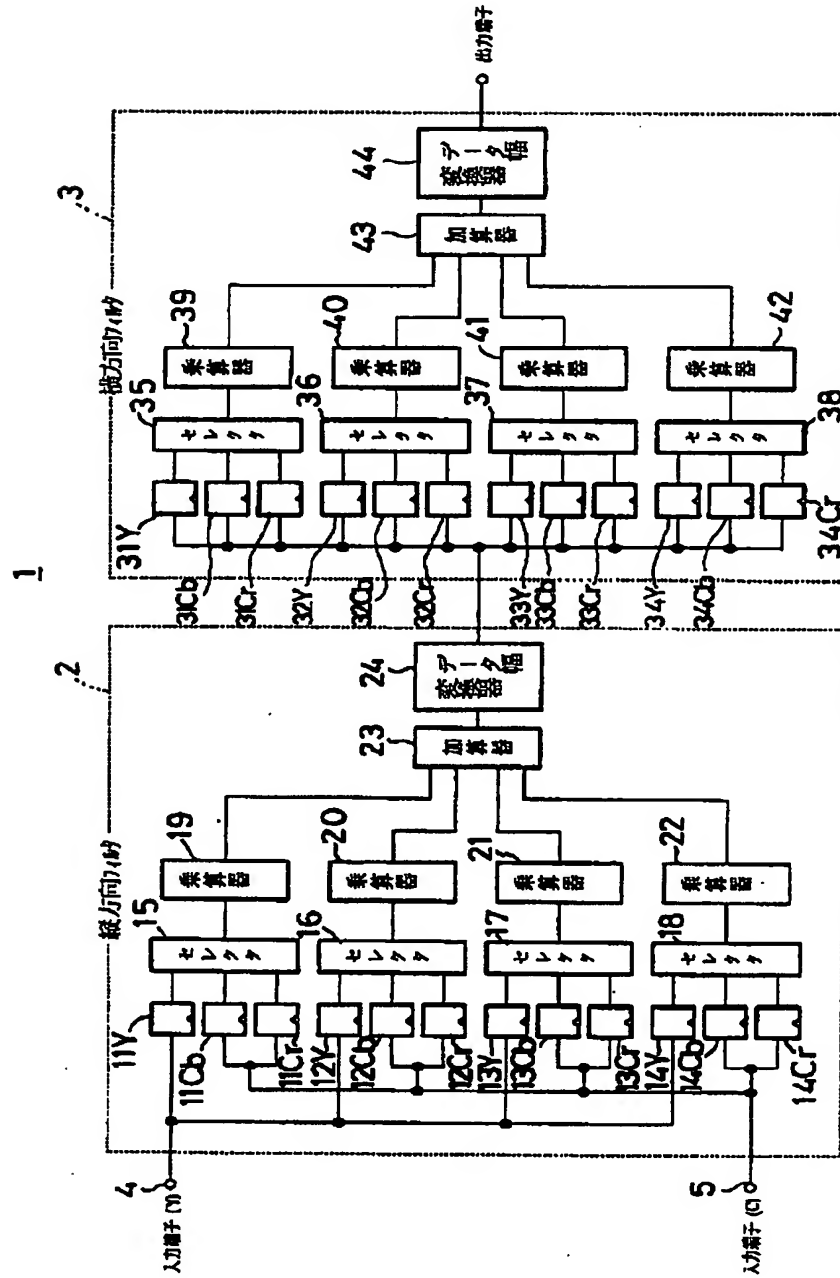


○: Yデータ
×: Cデータ

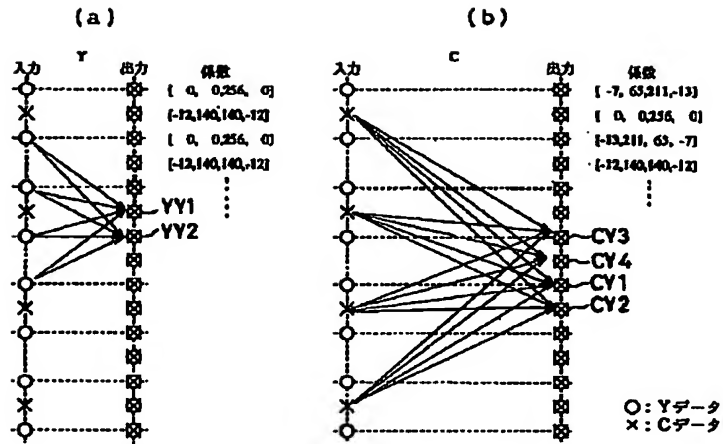
【図1】



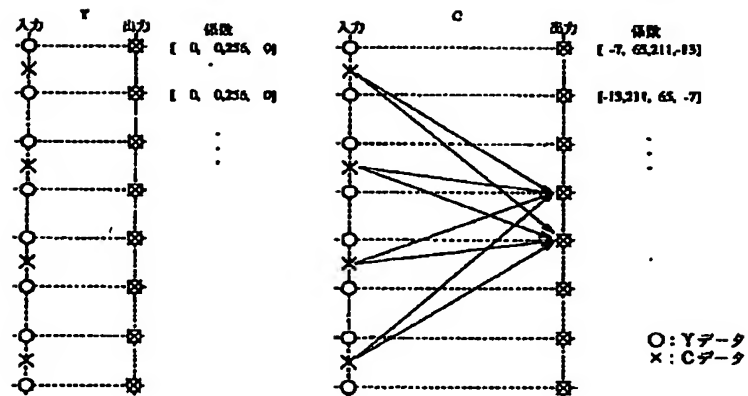
【図2】



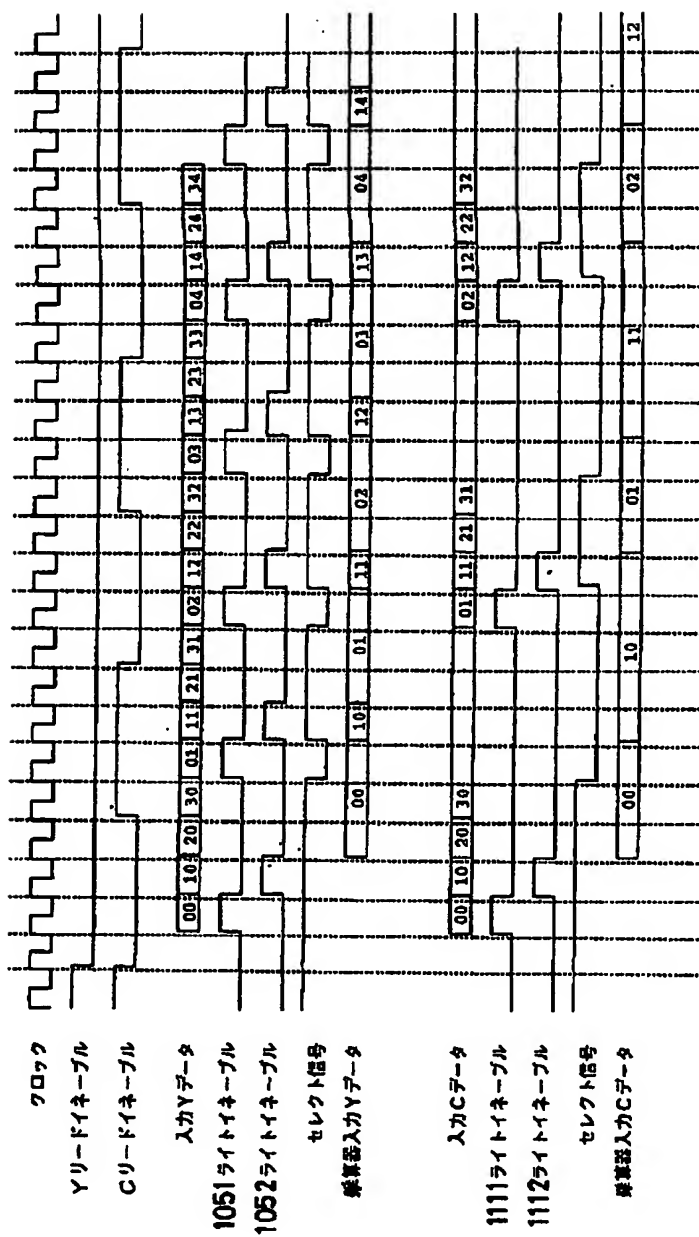
【图4】



【図8】

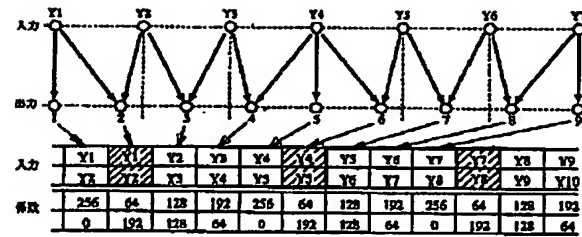


【図6】



【図9】

(a)



(b)

